

C1

C2

C3. 逻辑代数

1. 反函数: $1 \Leftrightarrow 0 \quad + \Leftrightarrow \cdot \quad A \Leftrightarrow \bar{A}$ } $\begin{matrix} F' \\ \bar{F} \end{matrix}$

若F成立, 则F', \bar{F} 成立.

2. 对偶式: $+ \Leftrightarrow \cdot \quad 1 \Leftrightarrow 0$

3. 最小项: 与项. 每个变量均出现 (标准与项)

对应: 标准与或式 $F(A, B, C) = \sum m(3, 5, 6, 7)$

最大项: 或项. 每个变量均出现 (标准或项)

对应: 标准或与式 $F(A, B, C) = \prod M(0, 1, 4, 5)$

3.2.3 两种标准式间的关系

1) 最大项与最小项互为反函数

$$\begin{matrix} \bar{m}_i = M_i \\ M_j = m_j \end{matrix} \quad F(A, B, C) : \bar{m}_1 = \overline{\overline{A} \bar{B} C} = A + B + \bar{C} = M_1$$

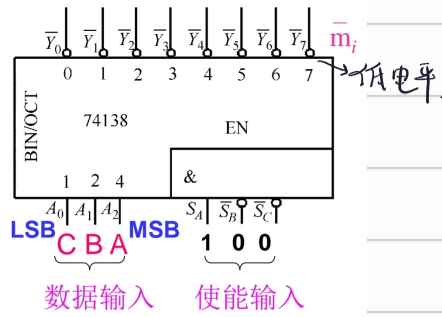
001 001
最小项码 最大项码

2) 如果不在最小项中出现的编号, 一定出现在最大项的编号中。

4. VEM: 引入变量卡诺图.

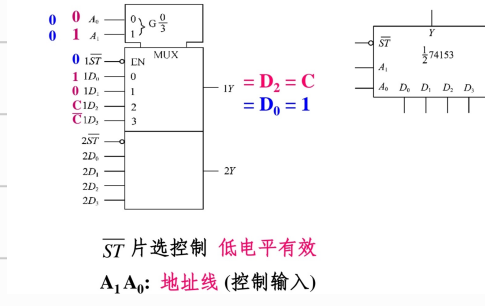
C4 组合逻辑电路

1. 译码器: M 位二进制输入 N 位输出, $M \leq 2^N$

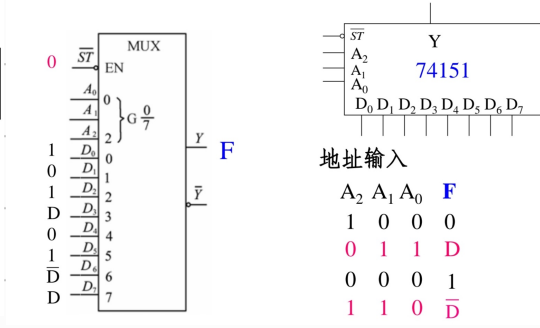


2. 选择器

双四选一多路选择器 74153
(一芯片上有 2 个 4 选 1 多路选择器)
符号

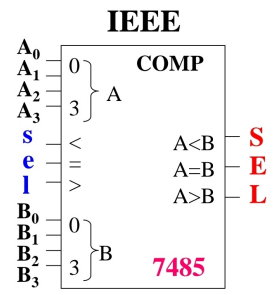


2. 八选一多路选择器 74151 (MSI)
3 个地址线: $A_2A_1A_0$; 8 个数据输入: $D_0 - D_7$



3. 比较器: 比较两个 1 位二进制数大小.

7485 符号:



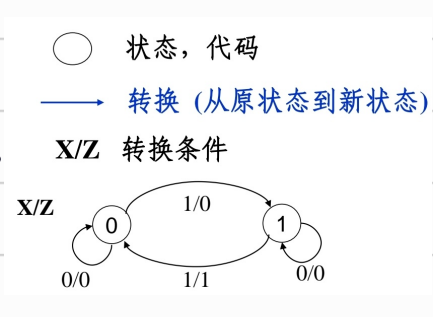
4. 加法器

① 半加器: 两个 1 位二进制数. 0: 结果, 进位.

② 全加器: 半加器 + 进位输入.

C5 触发器

- 状态转移真值表 (状态表)
 - 状态方程 (特征方程)
 - 状态转移图和激励表
 - 波形图 (时序图)

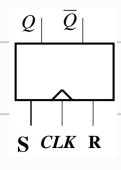


基本RS触发器激励表

输出激励表		输入	
Q^n	Q^{n+1}	\bar{R}	\bar{S}
0	0	Φ	1
0	1	1	0
1	0	0	1
1	1	1	Φ

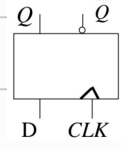
2. 特征方程

① RS 触发器:
$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ S \cdot R = 0 \text{ (不同时为1)} \end{cases}$$

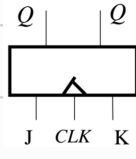


正边沿有效,

② D 触发器 $Q^{n+1} = D$

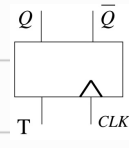


③ JK 触发器 $Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$



④ T 触发器 $Q^{n+1} = T \oplus Q^n$

T=0: keep T=1: 翻转



C6 时序逻辑电路

1. 同步时序电路分析

- ① 输入, 输出, 控制输入, 状态.
- ② 方程组: 输出方程 激励方程 状态方程
- ③ 状态表, 状态图.
- ④ 电路功能, 描述.

2. § 6.3 同步时序逻辑电路的设计方法

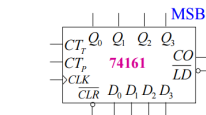
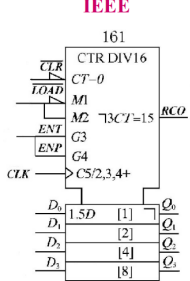
已知 → 功能图或状态图
问题 → 逻辑电路

设计步骤:

- 1) 根据设计要求, 设定状态, 画出状态转换图
- 2) 状态化简
- 3) 状态分配, 列出状态转换编码表
- 4) 选择触发器的类型
- 5) 求出状态方程、驱动方程、输出方程
- 6) 画电路图
- 7) 检查电路能否自启动

3. 计数器

符号 模16



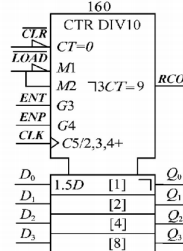
输出 $Q_3 Q_2 Q_1 Q_0$
数据输入 $D_3 D_2 D_1 D_0$
异步清零 \overline{CLR}
使能控制 $ENT (CT_7), ENP (CT_p)$
预置 \overline{LOAD}
进位 $RCO (CO)$

6.4.2 集成计数器 74160 (M-10) 8421BCD码同步加法计数器

模10, 其它功能与 74161 相同. 异步清0

$$RCO = ENT \cdot Q_3 \cdot Q_0$$

当 $Q_3 Q_2 Q_1 Q_0 = 1001$ 时,
 $RCO = 1$



6.4.3 集成计数器 74163 (M-16) 同步清0, 其他功能和 74161 相同 (模16)

同步清0, 其他功能和 74161 相同 (模16)

同步清零: 当 $\overline{CLR} = 0$ 并且下一时钟来临

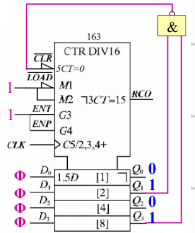
$$Q_3 Q_2 Q_1 Q_0 = 0000$$

图中: $\overline{SCT}=0$ 在 5 端有效时清0

例: 利用 74163 的清零功能 (CLR) 设计一个模11同步计数器。

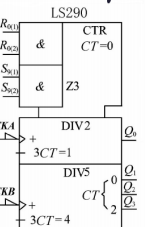
最大状态 1010

用 LD 端, 与 74161 相同



符号 74210

功能 二-五-十进制异步加法计数



- (1) 异步清0
当 $\begin{cases} S_{9(1)} \cdot S_{9(2)} = 0 \text{ (低)} \\ R_{0(1)} = R_{0(2)} = 1 \text{ (高)} \end{cases}$
 $Q_3 Q_2 Q_1 Q_0 = 0000$
- (2) 异步置9
当 $S_{9(1)} = S_{9(2)} = 1$
 $Q_3 Q_2 Q_1 Q_0 = 1001$
- (3) 计数
当 $\begin{cases} S_{9(1)} \cdot S_{9(2)} = 0 \\ R_{0(1)} \cdot R_{0(2)} = 0 \end{cases}$

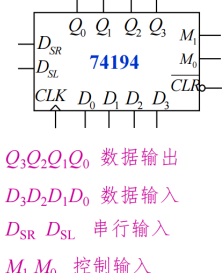
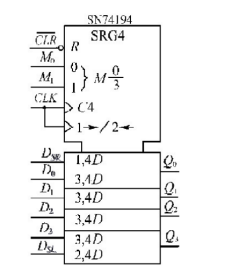
异步输入
同时满足, CLK下降沿实现计数

4. 寄存器

6.5.3 集成寄存器 74194

多功能寄存器 四位并行存取双向移位寄存器

电路 P. 139 符号



$Q_3 Q_2 Q_1 Q_0$ 数据输出
 $D_3 D_2 D_1 D_0$ 数据输入
 $D_{SR} D_{SL}$ 串行输入
 $M_1 M_0$ 控制输入

IEEE

C7 脉冲波形的产生与变换

1. 555 定时器
2. 施密特触发器
3. 单稳态触发器
4. 多谐振荡器

两个暂稳态持续时间 T_1, T_2

高电平宽度: $T_1 = 0.7(R_1 + R_2)C$

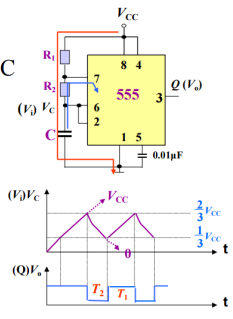
低电平宽度: $T_2 = 0.7R_2C$

振荡周期 T :

$$T = T_1 + T_2 = 0.7(R_1 + 2R_2)C$$

频率 f : $f = \frac{1}{T}$

占空比 $q = \frac{T_1}{T} = \frac{R_1 + R_2}{R_1 + 2R_2} > \frac{1}{2}$



C9 数模与模数转换

1. 数模转换: DAC

$$LSB = \frac{1}{2^n} FSR$$

满刻度

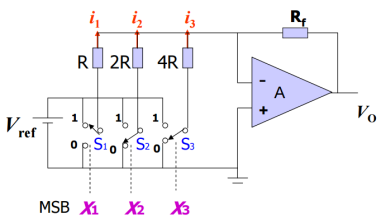
2. 权电阻DAC

3.

9.1.3 R-2R 梯形电阻网络DAC

4.

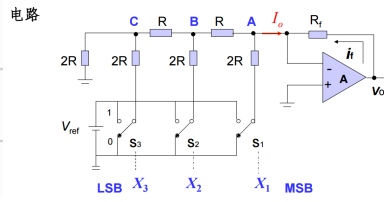
9.1.4 R-2R 倒梯形电阻DAC



$$V_o = -\frac{2V_{ref}}{R} R_f \frac{X_1 2^2 + X_2 2^1 + X_3 2^0}{2^3} = -FSR \frac{X_1 2^2 + X_2 2^1 + X_3 2^0}{2^3}$$

$$V_{omin} = -\frac{2V_{ref}}{R} R_f \cdot \frac{1}{2^n} \quad \text{分辨率 (不考虑0输出)}$$

$$V_{omax} = -\frac{2V_{ref}}{R} R_f \cdot \frac{2^n - 1}{2^n} \quad \text{(在此系统中为负, 有倒向)}$$



R-2R 梯形电阻DAC模拟输出电压

$$V_o = -\frac{V_{ref}}{R} R_f \cdot \frac{X_1 2^2 + X_2 2^1 + X_3 2^0}{2^3} \quad \therefore V_o = -\frac{V_i}{R} R_f$$

FSR

满刻度值

$$FSR = \frac{V_{ref}}{R} R_f$$

最大值

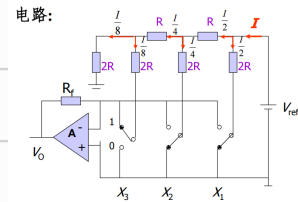
$$V_{omax} = -\frac{V_{ref}}{R} R_f \cdot \frac{7}{2^3} = -\frac{7}{2^3} FSR$$

最小值

$$V_{omin} = -\frac{V_{ref}}{R} R_f \cdot \frac{1}{2^3} = -\frac{1}{2^3} FSR$$

分辨率

$$s = |V_{omin}| = \frac{1}{2^3} FSR$$



R-2R 梯形DAC

$V_{ref} \leftrightarrow$ 放大器
改变位置

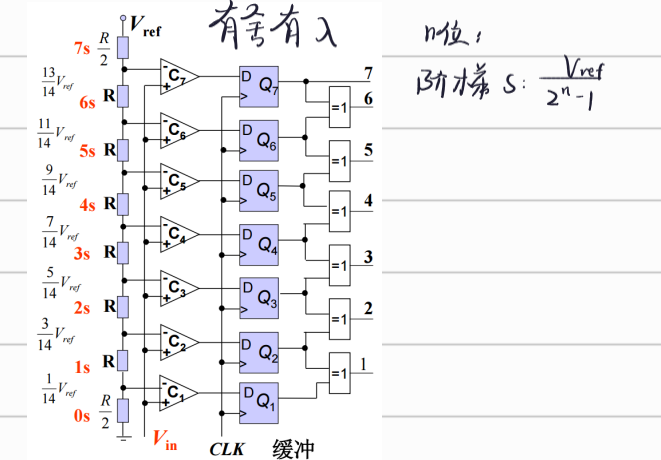
此网络是电流输出型, 开关1端经运放和 R_f , 把电流转换成电压输出。

倒梯形网络和梯形网络在工作原理, 模拟输出电压公式, 分辨率等都相同。

5. 模数转换电路

工作过程: 有舍有入, 只舍不入

6. 并行比较ADC



有舍有入

阶:

$$\text{阶} s: \frac{V_{ref}}{2^n - 1}$$

只舍不入

电路其他部分与有舍有入电路相同

8个电阻: 阻抗8R

分压, 比较级别: $\frac{1}{8} V_{ref} \sim \frac{7}{8} V_{ref}$

阶梯: 0s ~ 7s

输入模拟电压 V_{in} , 与比较级别相比较, 转换为数字信号。

$$S = \frac{V_{ref}}{2^n}$$

计算: $\frac{V_{in}}{S}$ 舍入后 转化为二进制

7. 并行型ADC

过程: 1) V_{in} 高4位ADC $\rightarrow X_1 X_2 X_3 X_4$

V_{in} 先进入高4位比较, (只舍不入) $S_1 = \frac{V_{ref}}{2^4}$
得到高4位的二进制数

2) $X_1 X_2 X_3 X_4$ DAC $\rightarrow \bar{V}_{in}$
把得到的4位二进制数经DAC转换成模拟量 \bar{V}_{in}

3) $(V_{in} - \bar{V}_{in}) = V_{in}'$
延迟后的信号与模拟量相减

4) V_{in}' 低4位ADC $\rightarrow X_5 X_6 X_7 X_8$
差值送入低4位并行ADC, (有舍有入) $S_2 = \frac{V_{ref}}{2^{n-4}}$
得到4位二进制数

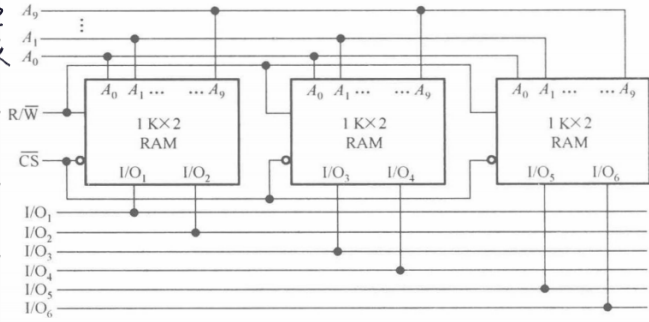
5) 输出8位: $X_1 X_2 X_3 X_4 X_5 X_6 X_7 X_8$

解题
范式

C10 半导体存储器与可编程逻辑器件

1. RAM 扩展

位扩展

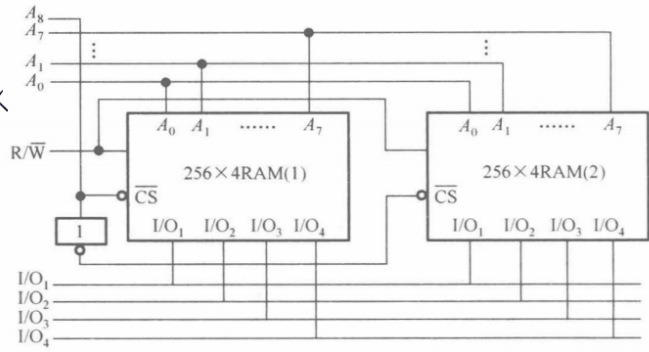


$\Rightarrow 1K \times 6$

扩展了 I/O.

图 10.8 例 10.1 的 RAM 芯片位扩展连接图

字扩展



扩展了地址. 用非门控制位.

图 10.9 例 10.2 的 RAM 芯片字扩展连接图

字位扩展

各片地址范围如下:
 (1), (2) 片 00000000 ~ 01111111
 (3), (4) 片 10000000 ~ 11111111

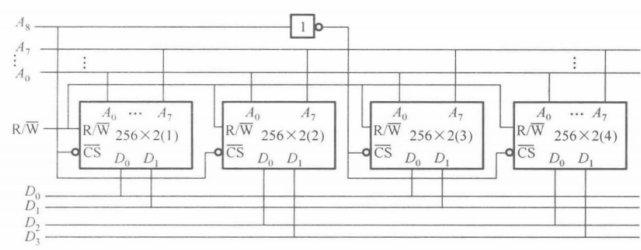


图 10.10 例 10.3 的 RAM 芯片字位扩展连接图

2. ROM

分类: ~

基本原理:

实现组合逻辑函数: